

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-330546

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

H01L 27/108

H01L 21/8242

H01L 29/786

(21)Application number : 08-142470

(71)Applicant : **INTERNATL BUSINESS MACH
CORP <IBM>**

(22)Date of filing : 05.06.1996

(72)Inventor : **BRONNER GARY B**
DEBROSSE JOHN K
MANDELMAN JACK ALLAN

(30)Priority

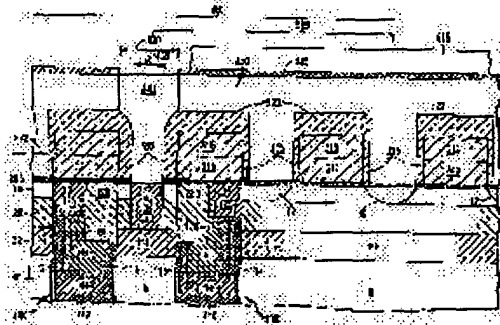
Priority number : 95 461815 Priority date : 05.06.1995 Priority country : US

(54) SOI DRAM WITH FIELD-SHIELDED ISOLATION LAYER

(57)Abstract:

PROBLEM TO BE SOLVED: To form a contact without the use of excessive space by a method, wherein a pair of conductive members which are embedded in a body contact subset and connect a conductive layer and a device layer, are formed and a body contact is formed between a transistor body and the embedded conductive layer using the conductive members.

SOLUTION: An additional nitride spacer 32 is formed on the exposed sidewall of an aperture for the purpose of forming a body contact. A self-aligned body contact aperture, to be used for body connect which connects a buried layer and the body in a device layer 10, reaching a p⁺-buried layer 32, is formed in an SOI 10 and a back oxide 20 by etching. P⁺-polysilicon 35 is filled in the contact aperture formed as above. By making a hole on the P⁺-polysilicon 35 as deep as to the surface of the SOI 10 using an arbitrary method such as RIE, a body contact is formed between the P⁺-buried layer 32 and the transistor body in the SOI layer 10.



LEGAL STATUS

[Date of request for examination] 14.08.1998

[Date of sending the examiner's decision of rejection] 25.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision 2001-19031
of rejection]

[Date of requesting appeal against examiner's 24.10.2001
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330546

(43) 公開日 平成8年(1996)12月13日

(51) IntCl ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H01L 27/108		9276-4M	H01L 27/10	671C
21/8242		9276-4M		625A
29/786			29/78	613B

審査請求 未請求 請求項の数 2 OL (全 7 頁)

(21) 出願番号 特願平8-142470

(22) 出願日 平成8年(1996)6月5日

(31) 優先権主張番号 461815

(32) 優先日 1995年6月5日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MACHINES CORPO
RATIONアメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ギャリー・ベラ・ブロンナー

アメリカ合衆国12582 ニューヨーク州ス
トームヴィル ウッドクリフ・ドライブ
35

(74) 代理人 弁理士 合田 潔 (外2名)

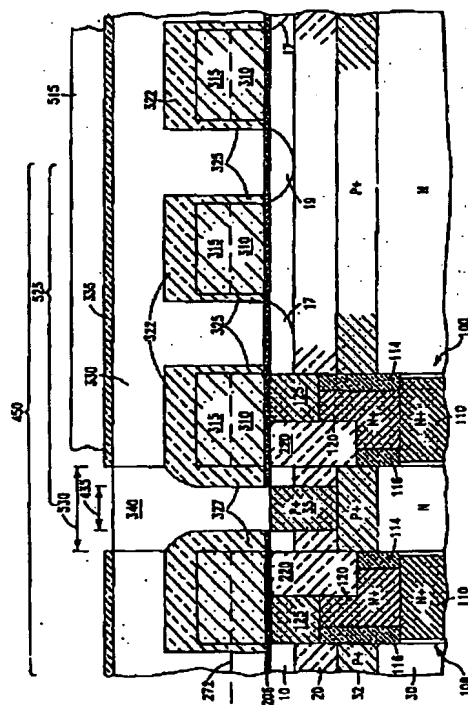
最終頁に続く

(54) 【発明の名称】 フィールド遮蔽分離層を有するSOI DRAM

(57) 【要約】

【課題】 SOI回路において過大なスペースを使用せず、トランジスタ本体へのコンタクトを製作する方法を提供する。

【解決手段】 ボディ・コンタクトとフィールド遮蔽分離層とを有するSOIディープ・トレンチDRAMは、隣接するディープ・トレンチ・キャパシタ間の選択した部位にSOIデバイス層と絶縁層の下に埋込み導電層との間の接触を行う。埋込み層はバイアスをかけて、ホールの電界による吸引を改善することができる。



【特許請求の範囲】

【請求項1】メモリ・アレイ内にトランジスタ・ボディ・コンタクトを有するメモリ・アレイを有するSOI DRAMを形成する方法において、

半導体基板、前記半導体基板の上の半導体デバイス層、および前記基板と前記デバイス層の間の絶縁層を有するSOIウエハを準備するステップと、

前記絶縁層の下にそれと衝合する埋込み導電層を形成するステップと、

前記メモリ・アレイ内に1組のキャパシタを形成するステップと、

前記メモリ・アレイ内にフィールド遮蔽上面を有しかつ前記デバイス層から分離されたフィールド遮蔽層を形成するステップと、

前記フィールド遮蔽層内にそれぞれ活性領域軸を有する平行な1組の活性領域アパーチャを形成するステップと、

前記デバイス層内の前記活性領域アパーチャの下にトランジスタ・ボディを有する1組のトランジスタを形成するステップと、

前記活性領域アパーチャのボディ・コンタクト・サブセット内に、前記デバイス層中を下方へ前記埋込み導電層にまで延びる1組のボディ・コンタクト・アパーチャを形成するステップと、

前記ボディ・コンタクト・サブセット内に前記埋込み導電層と前記デバイス層を接続する1組の導電部材を形成し、前記1組の導電部材のうちの導電部材で前記トランジスタ・ボディと前記埋込み導電層の間にボディ・コンタクトを形成するステップとを含むSOI DRAMを形成する方法。

【請求項2】第1の極性のトランジスタを含むメモリ・アレイと、前記第1の極性のトランジスタおよび前記第1の極性と反対の第2の極性のトランジスタを含むCMOSサポート回路とを有し、前記アレイ内の前記第1の極性のトランジスタがボディ・コンタクトを有する、SOI DRAMを形成する方法において、

半導体基板、前記半導体基板の上の半導体デバイス層、および前記基板と前記デバイス層の間の絶縁層を有するSOIウエハを準備するステップと、

前記絶縁層の下にそれと衝合する埋込み導電層を形成するステップと、

前記メモリ・アレイ内に1組のキャパシタを形成するステップと、

前記アレイの外側の第1のゲート・ポリシリコン層と、フィールド遮蔽上面を有しかつ前記メモリ・アレイ内の前記デバイス層から分離されたフィールド遮蔽層とを同時に形成するステップと、

前記フィールド遮蔽層内にそれぞれ活性領域軸を有する平行な1組の活性領域アパーチャを形成するステップと、

前記デバイス層内の前記活性領域アパーチャの下に前記第1の極性の第1組のトランジスタと、前記サポート回路内の前記デバイス層内に前記第1の極性の第2組のトランジスタを同時に形成するステップと、

前記活性領域アパーチャのボディ・コンタクト・サブセット内に、前記デバイス層中を下方へ前記埋込み導電層にまで延びる1組のボディ・コンタクト・アパーチャを形成するステップと、

前記ボディ・コンタクト・サブセット内に前記埋込み導電層と前記デバイス層を接続する導電部材の1組のアレイを形成し、前記1組の導電部材のうちの導電部材で、前記第1の極性のトランジスタ内の1組のトランジスタ・ボディと前記埋込み導電層の間にボディ・コンタクトを形成するステップとを含むSOI DRAMを形成する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン・オン・インシュレータ(SOI)回路に関し、特にDRAMに関する。

【0002】

【従来の技術】SOI技術は、多年にわたって研究されており、いくつかの周知の利点、特に動作速度が速く、容量が小さく、より低い電圧が使用できるという利点を有する。

【0003】

【発明が解決しようとする課題】SOI技術の周知の問題は、トランジスタ本体へのコンタクトが必要であること、および過大なスペースを使用せずにコンタクトを製作することに関する問題である。

【課題を解決するための手段】

【0004】本発明は、酸化物絶縁層の下のドーブ層によって相互接続された自己整合ボディ・コンタクトの使用を組み込んだSOI DRAMに関する。

【0005】

【発明の実施の形態】図1を参照すると、いくつかの初期ステップを実施した後の本発明によるDRAMの一部断面が示されている。しきい注入やフィールド注入などの従来のステップは、基板準備ステップと呼ばれる。

(N型FET)トランジスタを形成するため、n型基板30、酸化物(SiO₂)層20およびp型SOI(またはデバイス)シリコン層10を有するSOIウエハを出発材料として使用する。n型基板は、nチャネル・アレイ内の記憶キャパシタ・プレートとして使用される。逆の実施形態では、p型アレイの場合に(記憶容量の小さいn型アレイの場合にも)p型基板を使用する。

【0006】SOIバック酸化物20の下に層32を形成するため、ホウ素を注入することによってP⁺層32を形成する。0.25μmのグラウンド・ルール技術に適合する酸化物層20の例示的厚さが100nm、デバ

イス層10の厚さが80nmの場合、濃度 $4 \times 10^{17} / \text{cm}^3$ のホウ素を注入して層10を形成する。

【0007】ホウ素濃度約 $5 \times 10^{19} / \text{cm}^3$ 、厚さ25nm~400nmの層32を使用して、ボディ・コンタクト用の配線レベルを設ける。n型基板は、アレイ内のセル・キャパシタの共通プレートとして働く。

【0008】標準の加工法を使用して、従来のパッド酸化物層(8nm)および窒化物層、 Si_3N_4 層(200nm)を形成する。

【0009】ディープ・トレンチ(DT)マスクを使用してウエハをパターン化した後、Applied Materials 5000エッチング・ツールのエッチング液としてHBRおよび NF_3 を使用する従来のイオン・エッチング・プロセス(反応性イオン・エッチング、RIEとも呼ばれる)を使用して、セル・キャパシタ用のディープ・トレンチ100をエッチングする。通常、ディープ・トレンチは $1 \mu\text{m} \sim 8 \mu\text{m}$ の厚さを有する。

【0010】ディープ・トレンチ・キャパシタ内にキャパシタ誘電体として薄いノード誘電体102(例えば、周知のプロセスでは高速熱窒化および再酸化によって形成する)を形成する。他の誘電体も好ましければ使用できる。

【0011】RIEなど任意の適切な方法によって埋込みP層32と基板30の間の接合の下レベルまで掘穿したトレンチをN+多結晶シリコン(ポリシリコン)110で充填する。これにより、キャパシタをプレート30から分離しかつキャパシタをP層32から分離する、分離カラーの底面の位置が画定される。ポリシリコン110はキャパシタの内部電極を形成し、基板30はキャパシタ・アレイ用の共通電極を形成する。分離カラーは、P層32内およびn基板30内での高電界の発生を防ぐ。

【0012】ポリシリコン・フィルタ110の上のノード誘電体102を除去し、114および116で示されるカラー酸化物を従来のCVDプロセスで付着し、その後RIEによってトレンチの上部の底面の酸化物を除去する。

【0013】トレンチの上部をポリシリコン120(埋込みストラップの所望の外方拡散の量に応じてN+または真性ポリシリコンを用いる)で充填した後、ポリシリコン120の上部がバック酸化物20の範囲内に入るようにRIEなどの適切な方法によって掘穿する。カラー酸化物114をポリシリコン120と同じ深さにまで掘穿する。真性ポリシリコン充填層125を付着した後、SOI面のレベルにまで掘穿する。

【0014】ストラップ・マスク(STマスク)を使用して図1に示されるPRにパターンを画定し、隣接する1対のトレンチの半分の露出させる。トレンチ間の領域を窒化物によって保護し、フォトレジストとトレンチ間の窒化物の組合せによってストラップを画定する。セル

・レイアウトの上面図を図5に示す。図5では、1組の矢印525はDRAMセルの長さを示し、矢印530はボディ・コンタクトをその中に形成する領域の長さを示し、矢印535は図1に示したアパーチャを示す。対応する矢印を図1に示す。

【0015】ストラップ・マスクPR210を適所に配置した後、ディープ・トレンチ内のポリシリコン125およびカラー酸化物116中にバック酸化物20の底面を通してRIE操作を実施する。ストラップ・マスクPRと窒化物パッド205は、キャパシタの中心電極とトランジスタの間のストラップ接続を画定するこのRIE用のマスクになる。

【0016】図2を参照すると、フォトレジスト210を剥離し、その後化学機械研磨、エッチバック、またはその他の適切な技法を使用して、テトラエトキシラン(TEOS)を付着し、窒化物パッド205のレベルにまで平坦化する。ポリシリコン125の小さい方の領域は、TEOS220によって、ボディ・コンタクトと埋込み導電層32の間の接続を含む図の中央の領域から分離された、セル用のストラップとして残る。ボディ・コンタクトを埋込み層に接続する方法では、折り返しビット線DRAMセルを8つのリソグラフィ・スクエア内に製作できる。したがって、本発明によるボディ・コンタクトの使用には面積上の不利益は伴わない。

【0017】アレイの外側のサポート論理回路はCMOSであり、したがってフィールド遮蔽分離では、N型FETとP型FETを別々に分離する必要があるため、過大な面積が必要となる。したがって、アレイの外側のサポート回路内の狭いトレンチ分離には標準の加工法を使用する。

【0018】次に図3を参照すると、パッド層202および205を剥離し、犠牲酸化物204(8nm)を成長させ、ポリシリコン・フィールド遮蔽層260(100nm)およびフィールド遮蔽キャップ270(100nm)を付着した後の、図1および図2と同じ領域が示されている。酸化物204はまた、フィールド遮蔽層の下に分離酸化物ならびに活性領域内の犠牲酸化物としても働く。

【0019】図3に、FSマスクによりフィールド遮蔽層260内にアレイ活性領域を開いた後の領域を示す。FSマスクは、後工程で活性デバイス領域、ボディ・コンタクトおよびビット線コンタクトを形成したい場所でフィールド遮蔽層を開く。図5に示した活性領域アパーチャ510の端部は、図3では矢印510で示されている。ディープ・トレンチのすべての背中合わせの対の間にボディ・コンタクトを配置する必要はない。再度図5を参照すると、図の上部列および底部列のアパーチャ510をフィールド遮蔽で覆われた空きスペースによって分離する。図から分かるように、埋込み配線層32をデバイス層10に接続するボディ・コンタクト部

材は、トランジスタ本体に隣接していない。しかし、ボディ・コンタクト部材は、複数のトランジスタからの穴がそれらのトランジスタの本体からその部材へと通じるように配置されており、したがって埋込み層32とトランジスタ・ボディの間にコンタクトがある。ボディ・コンタクトをずらすことにより、フィールド遮蔽の連続性が得られる位置が多くなるので、フィールド遮蔽の実効シート抵抗を小さくできる。

【0020】P⁺ポリシリコンを使用すれば、N⁺ポリシリコンの効果と比較して、分離領域を遮断する追加の1V内蔵バイアスが得られることを当業者なら理解するであろう。さらに、ホウ素を分離酸化物中に拡散すれば、分離が改善できる。

【0021】LPCVD窒化物付着などの従来の共形付着プロセスによってフィールド遮蔽層260の端部上に窒化物スペーサ274が形成されている。フィールド遮蔽層およびキャップの端部は、図3の両側に離れて示されている。

【0022】次に図4を参照すると、図1ないし図3の領域と完成したDRAMセルとが示されている。ブラケット450で示した領域は、図5に4-4で示す断面である。ブラケット525は、図5に矢印525で示す、背中合わせのトレンチ間の中間からビット線コンタクトの中間へ延びる1つのDRAMセルに対応する。

【0023】図4は、活性領域内の露出した犠牲酸化物204を除去し、従来のゲート酸化物206を例えば8nmの厚さに成長させ、第1のゲート導電性ポリシリコン層310（ゲート・コンタクト層とも呼ばれる）をフィールド遮蔽層260とキャップ270および窒化物キャップ層320と実質上同じ厚さにまで付着し、以下に説明するようにそれらを加工して平坦度を改善した結果を示す。

【0024】サポート回路を含むアレイの外側の領域をマスクし、窒化物キャップ層320をアレイ内のGC層310から剥離する。化学機械研磨（CMP）操作により、フィールド遮蔽キャップ270を研磨停止材として使用して、層310の厚さをフィールド遮蔽層260とキャップ270の厚さにする。この操作の結果、アレイの内部と外部の共通面272ができる。アレイの外側では、層はまだパターン化されていないので均一であり、アレイの内側では、ポリシリコン310のパターンがフィールド遮蔽260内の活性アレイ・アパーチャに挿入されている。そのような挿入導体のパターンはダマシーン（damascene）と呼ばれる。

【0025】次に、アレイの外側の回路内のポリシリコン310から窒化物キャップ320を除去する。第2のゲート導電性ポリシリコン層315（またはその他の導電性層）を下方ポリシリコンの上に付着し、窒化物キャップ322をその上に付着する。これにより、ゲートとなる領域の上にポリシリコン複合ゲート導電層310〜

315が残り、またフィールド遮蔽層260（およびフィールド・キャップ270）の上に単一のポリシリコン層315が残る。層310と層315の間の境界は図4の点線で示されており、破線272はフィールド・キャップの上面272のレベルを示す。

【0026】層322、315、310をエッチングして、アレイの内側と外側にゲート、ワード線（および任意選択で局部相互接続）を画定する。ダマシーン・ゲート・コンタクト・プロセスでは、サポート回路内とアレイ内でゲート導体の高さを均一にすることによって、サポートに対するアレイ内のゲート導体のレベルの焦点深度の問題が解決される。ソース17およびドレイン19の従来の注入を実施し、その後窒化物スペーサ325をゲートの端部の上に形成する。ソースおよびドレインはフィールド遮蔽アパーチャ510から注入するので、注入はアパーチャの外側のフィールド遮蔽層によって妨害される。ブラケット525で示されるように、DRAMセルは、（1対のセルに共通な）共通拡散層19からゲートを通してトレンチ・キャパシタ100の端部より先まで延びる。ストラップ125は、適切な時間に、例えばアニール・ステップと酸化ステップの際にポリシリコン120および電極17から拡散することによって導電性にする。

【0027】次に、リンケイ酸塩ガラス（PSG）またはその他の誘電体層330を付着して平坦化し、その後窒化物キャップ335を付着する。ボディ・コンタクト・マスクを使用して窒化物キャップ335を開口し、PSG330およびゲート酸化物206をSOI10の表面までエッチングする。次に、ボディ・コンタクトを形成するため、アパーチャの露出した側壁に追加の窒化物スペーサ327を形成する。これにより、整合条件および膜公差条件が最悪の場合でも、ボディ・コンタクトがキャパシタ・ノードに対して短絡することはなくなる。

【0028】埋込み層とSOI層10内のボディを接続するボディ・コンタクト用の自己整合ボディ・コンタクト・アパーチャを、エッチングによりSOI10およびバック酸化物20中にP⁺埋込み層32にまで形成する。形成したボディ・コンタクト・アパーチャをP⁺ポリシリコン35で充填する。P⁺ポリシリコン35をR1Eなど任意の従来の方法によってSOI10の表面まで掘穿する。これにより、層32と層10内のトランジスタ・ボディとの間にボディ・コンタクトが形成される。図5の断面4-4はトランジスタを貫通する活性領域アパーチャ軸を通るので、トランジスタ・ボディからの電流は図4の紙面に垂直である。図5を参照すると、穴はブラケット312で示されるゲートの下の領域から、図5の上方および下方にブラケットで示される電極17およびトレンチ・キャパシタ100を通り、ボディ・コンタクト35まで通じることが分かる。

【0029】次に、ボディ・コンタクト35の上のアパ

ーチャを酸化物などの適切な絶縁物340で充填する。窒化物キャップ335を剥離し、従来の加工法を使用して回路を完成させる。ビット線およびワード線へのコンタクトを製造するステップ、アレイ内およびサポート回路内に相互接続を形成するステップなど、従来のステップは、回路完成ステップと呼ばれる。当技術分野で周知のように、層315から形成されるゲート・コンタクトはアレイのワード線（任意選択で、図4に示した線の上にある低抵抗線によって補足される）となり、ビット線はワード線に対して直角に延びる。図5のボックス519で示されるビット線コンタクトが、図4の拡散層19の上に形成され、ビット線（図5の515）が、ビット線コンタクトの上に形成される。図5の点線325は、図4の窒化物スペーサ325を示し、ポリシリコン・ゲート・コンタクト層の経路を示す働きをする。同様に、点線のボックス100はディープ・トレンチ100を示す。

【0030】さらに、図6に、本発明による集積回路500の全体的な図を概略的に示す。図5には、入出力サポート回路が従来の入出力バッファ、デコーダ、センス増幅器などを含むブロック502として示されている。図の上部には、回路500のメモリ・アレイ505の小さい部分が詳細に示されている。

【0031】次に図7を参照すると、酸化物204で分離されたフィールド遮蔽層260とダマシーン・ポリシリコン310とワード線ポリシリコン315の間隔関係を示す図5の線6-6に沿った直交断面が示されている。図7の右側および左側のTEOS220は、ゲート・コンタクト310を含むセルに隣接するセルのトレンチ・キャパシタ内にある。

【0032】電力バスからボディ・コンタクトがその中に製作される埋込みP層32へのコンタクトは、ワード線512本ごと、または層の抵抗および特定の回路の他のパラメータに適したその他の間隔で製作することができる。フィールド遮蔽コンタクトがメモリ・アレイの外側に製作される。

【0033】ボディ・コンタクト35は、層310を付着する前にコンタクト35用のアパーチャを形成し、次いでゲート・スタックのパターン化の際にコンタクト35とゲート・コンタクト310の間の短絡を引き起こす恐れのあるポリシリコンを除去することによって、310などの以前の層から形成できることを当業者なら理解するであろう。この方法は余分のステップを必要とするが、本発明により密度の改善が可能となるので十分引き合う。

【0034】各種の材料、付着方法およびエッチング液は決定的なものではなく、当業者は記載したステップを修正したり、同等物を代用することが容易にできよう。図示の厚さおよびドーパントは、アレイ供給電圧が2Vであり、フィールド遮蔽層が-1.5Vにバイアスさ

れ、埋込み層32が-1Vにバイアスされ、基板30が接地された例示的回路に関するものである。ワード線は3.5Vに引き上げられ、ビット線は2Vで動作する。ここに開示した教示に照らせば、バイアス値を変える、P型FETアレイの層10をn型かまたはp型にするなど、本発明の様々な実施形態が可能であること、および頭記の特許請求の範囲がここに開示した実施形態に限定されるものではないことを当業者なら理解するであろう。

【0035】まとめとして、本発明の構成に関して以下の事項を開示する。

【0036】(1)メモリ・アレイ内にトランジスタ・ボディ・コンタクトを有するメモリ・アレイを有するSOI DRAMを形成する方法において、半導体基板、前記半導体基板の上の半導体デバイス層、および前記基板と前記デバイス層の間の絶縁層を有するSOIウエハを準備するステップと、前記絶縁層の下にそれと衝合する埋込み導電層を形成するステップと、前記メモリ・アレイ内に1組のキャパシタを形成するステップと、前記メモリ・アレイ内にフィールド遮蔽上面を有しかつ前記デバイス層から分離されたフィールド遮蔽層を形成するステップと、前記フィールド遮蔽層内にそれぞれ活性領域軸を有する平行な1組の活性領域アパーチャを形成するステップと、前記デバイス層内の前記活性領域アパーチャの下にトランジスタ・ボディを有する1組のトランジスタを形成するステップと、前記活性領域アパーチャのボディ・コンタクト・サブセット内に、前記デバイス層中を下方へ前記埋込み導電層にまで延びる1組のボディ・コンタクト・アパーチャを形成するステップと、前記ボディ・コンタクト・サブセット内に前記埋込み導電層と前記デバイス層を接続する1組の導電部材を形成し、前記1組の導電部材のうちの導電部材で前記トランジスタ・ボディと前記埋込み導電層の間にボディ・コンタクトを形成するステップとを含むSOI DRAMを形成する方法。

(2)第1の極性のトランジスタを含むメモリ・アレイと、前記第1の極性のトランジスタおよび前記第1の極性と反対の第2の極性のトランジスタを含むCMOSサポート回路とを有し、前記アレイ内の前記第1の極性のトランジスタがボディ・コンタクトを有する、SOI DRAMを形成する方法において、半導体基板、前記半導体基板の上の半導体デバイス層、および前記基板と前記デバイス層の間の絶縁層を有するSOIウエハを準備するステップと、前記絶縁層の下にそれと衝合する埋込み導電層を形成するステップと、前記メモリ・アレイ内に1組のキャパシタを形成するステップと、前記アレイの外側の第1のゲート・ポリシリコン層と、フィールド遮蔽上面を有しかつ前記メモリ・アレイ内の前記デバイス層から分離されたフィールド遮蔽層とを同時に形成するステップと、前記フィールド遮蔽層内にそれぞれ活性

領域軸を有する平行な1組の活性領域アパーチャを形成するステップと、前記デバイス層内の前記活性領域アパーチャの下に前記第1の極性の第1組のトランジスタと、前記サポート回路内の前記デバイス層内に前記第1の極性の第2組のトランジスタを同時に形成するステップと、前記活性領域アパーチャのボディ・コンタクト・サブセット内に、前記デバイス層中を下方へ前記埋込み導電層にまで延びる1組のボディ・コンタクト・アパーチャを形成するステップと、前記ボディ・コンタクト・サブセット内に前記埋込み導電層と前記デバイス層を接続する導電部材の1組のアレイを形成し、前記1組の導電部材のうちの導電部材で、前記第1の極性のトランジスタ内の1組のトランジスタ・ボディと前記埋込み導電層の間にボディ・コンタクトを形成するステップとを含むSOI DRAMを形成する方法。

【図面の簡単な説明】

【図1】隣接するディープ・トレンチ・キャパシタおよび関連するボディ・コンタクトおよび製造プロセスの様々な時点におけるフィールド遮蔽分離を示す、DRAMの部分断面図である。

【図2】隣接するディープ・トレンチ・キャパシタおよび関連するボディ・コンタクトおよび製造プロセスの様々な時点におけるフィールド遮蔽分離を示す、DRAMの部分断面図である。

* 【図3】隣接するディープ・トレンチ・キャパシタおよび関連するボディ・コンタクトおよび製造プロセスの様々な時点におけるフィールド遮蔽分離を示す、DRAMの部分断面図である。

【図4】隣接するディープ・トレンチ・キャパシタおよび関連するボディ・コンタクトおよび製造プロセスの様々な時点におけるフィールド遮蔽分離を示す、DRAMの部分断面図である。

【図5】メモリ・アレイのセグメントの上面図である。

【図6】メモリ・アレイのセグメントの上面図である。

【図7】図1ないし図4の直交断面図である。

【符号の説明】

10 p型SOIシリコン層

20 酸化物層

30 n型基板

32 P⁺層

100 ディープ・トレンチ

102 ノード誘電体

110 ポリシリコン

20 120 ポリシリコン

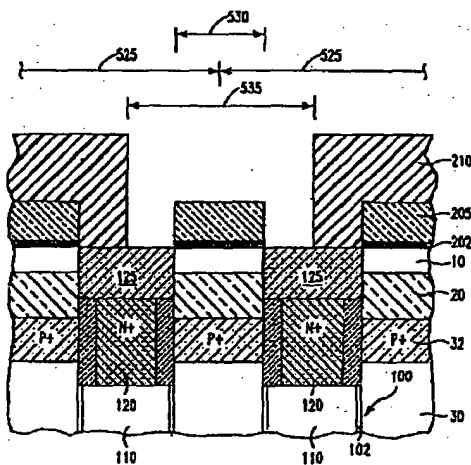
125 真性ポリシリコン

202 バッド層

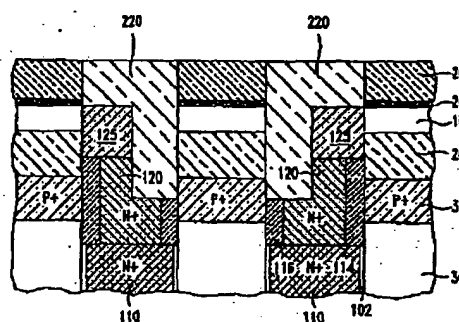
205 窒化物バッド

* 210 フォトレジスト

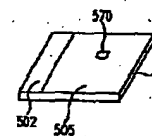
【図1】



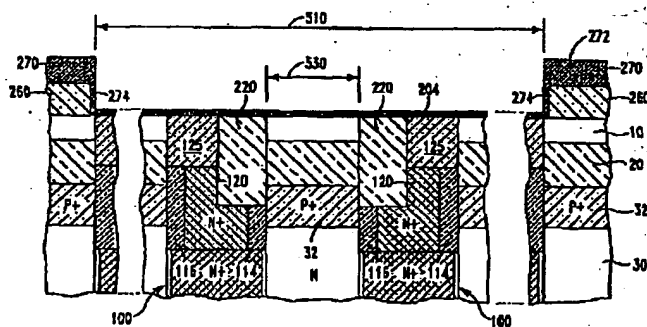
【図2】



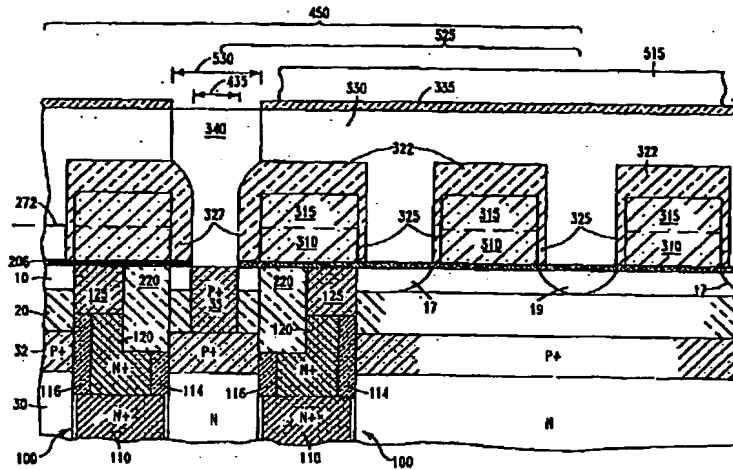
【図6】



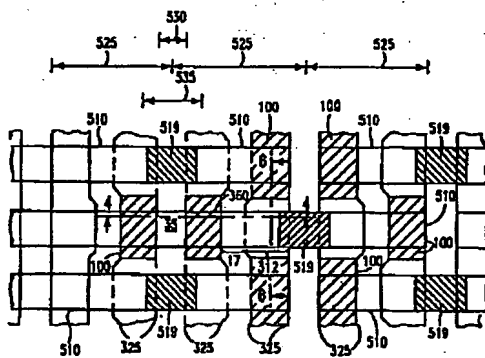
【図3】



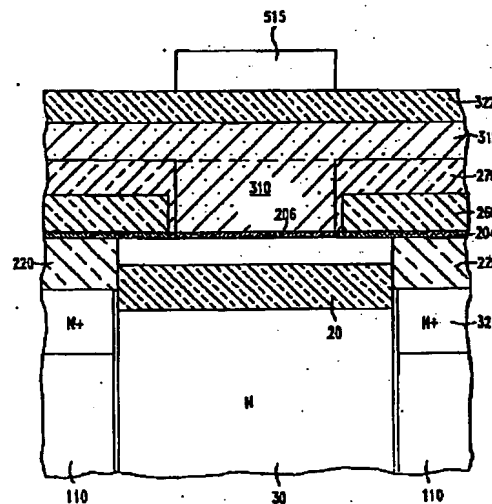
【図4】



【図5】



【図7】



フロントページの続き

(72)発明者 ジョン・ケニス・ドエブロス
アメリカ合衆国05401 バーモント州バー
リントンホーム・アベニュー 59

(72)発明者 ジャック・アラン・マンデルマン
アメリカ合衆国12582 ニューヨーク州ス
トームヴィル ジャミー・レーン 5

THE
OFFICE OF THE
ATTORNEY GENERAL
STATE OF NEW YORK
ALBANY

IN SENATE,
January 10, 1906.

REPORT
OF THE
ATTORNEY GENERAL
FOR THE YEAR
1905.